

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 08330313 A

(43) Date of publication of application: 13 . 12 . 96

(51) Int. Cl

H01L 21/321
H01L 21/768

(21) Application number: 07259861

(71) Applicant: SHINKO ELECTRIC IND CO LTD

(22) Date of filing: 06 . 10 . 95

(72) Inventor: AKAGAWA MASATOSHI

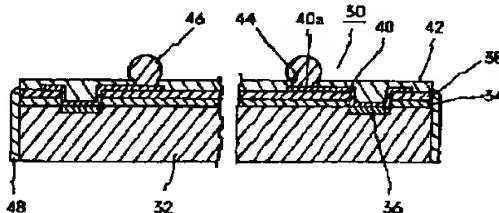
(30) Priority: 24 . 03 . 95 JP 07 65607

(54) SEMICONDUCTOR DEVICE AND ITS
FABRICATION

(57) Abstract:

PURPOSE: To provide an inexpensive semiconductor device in which the fabrication is facilitated by simplifying the structure.

CONSTITUTION: An interconnection pattern 40, connected with the electrode 36 of a semiconductor chip 32, is formed on the surface of a first insulation film 38 deposited on a passivation film 34 of the semiconductor chip 32. A second insulation film 42 is deposited on the interconnection pattern 40 while exposing the joint to the outer connection terminal and an outer connection terminal 46 is formed at the exposing joint to the outer connection terminal of the interconnection pattern 40.



COPYRIGHT: (C)1996,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-330313

(43)公開日 平成8年(1996)12月13日

(51)Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 21/321		9169-4M	H 01 L 21/92	6 0 2 Z
21/768			21/90	A
				B
	9169-4M		21/92	6 0 2 L
	9169-4M			6 0 4 Z

審査請求 未請求 請求項の数9 OL (全8頁)

(21)出願番号 特願平7-259861
(22)出願日 平成7年(1995)10月6日
(31)優先権主張番号 特願平7-65607
(32)優先日 平7(1995)3月24日
(33)優先権主張国 日本(JP)

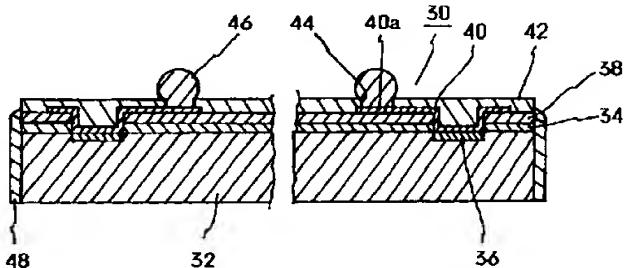
(71)出願人 000190688
新光電気工業株式会社
長野県長野市大字栗田字舎利田711番地
(72)発明者 赤川 雅俊
長野県長野市大字栗田字舎利田711番地
新光電気工業株式会社内
(74)代理人 弁理士 綿貫 隆夫 (外1名)

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 簡易な構成で製造が容易となり、安価にできる半導体装置を提供する。

【解決手段】 半導体チップ32のパッケージョン膜34上に形成された第1の絶縁皮膜38の表面に前記半導体チップ32の電極36に接続して配線パターン40が形成され、該配線パターン40上に配線パターン40の外部接続端子接合部を露出して第2の絶縁皮膜42が形成され、前記露出した外部接続端子接合部に外部接続端子46が形成されていることを特徴としている。



【特許請求の範囲】

【請求項1】 パッシベーション膜が形成された半導体チップ面上に、該半導体チップの電極を露出して第1の絶縁皮膜が形成され、該第1の絶縁皮膜の表面に前記半導体チップの電極に接続して配線パターンが形成され、該配線パターン上に配線パターンの外部接続端子接合部を露出して第2の絶縁皮膜が形成され、前記露出した外部接続端子接合部に外部接続端子が形成されていることを特徴とする半導体装置。

【請求項2】 前記第1の絶縁皮膜が感光性ポリイミド膜により形成されたものであることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記第2の絶縁皮膜が感光性ソルダーレジスト膜により形成されたものであることを特徴とする請求項1または2記載の半導体装置。

【請求項4】 前記外部接続端子がバンプであることを特徴とする請求項1、2または3記載の半導体装置。

【請求項5】 前記半導体チップを複数備え、該複数の半導体チップ上に共通の前記第1の絶縁皮膜が形成され、前記複数の半導体チップの所要の電極同士が前記配線パターンにより接続され、前記配線パターン上に共通の前記第2の絶縁皮膜が形成されていることを特徴とする請求項1、2、3または4記載の半導体装置。

【請求項6】 前記第2の絶縁皮膜に形成された透孔の底面に露出した外部接続端子接合部に、該透孔の底面、内壁面および周縁部を被覆するランドが形成され、該ランドに前記外部接続端子が接続されていることを特徴とする請求項1、2、3、4または5記載の半導体装置。

【請求項7】 電極を露出してパッシベーション膜が形成された半導体チップ面上に感光性レジストを塗布し、該感光性レジストに露光、現像を施し、前記電極を露出する透孔を形成して第1の絶縁皮膜とした後、前記透孔を含む前記第1の絶縁皮膜の表面にスパッタリング等により導体層を被着形成し、該導体層にエッチングを施し前記透孔部分で前記電極と電気的に導通する配線パターンを形成し、次いで、該配線パターンを含む前記第1の絶縁皮膜の表面に感光性レジストを塗布し、該感光性レジストに露光、現像を施し、前記配線パターン上で露出する透孔を形成して第2の絶縁皮膜とし、該第2の絶縁皮膜の透孔位置にはんだボール等の外部接続端子を接続することを特徴とする半導体装置の製造方法。

【請求項8】 前記第2の絶縁皮膜の表面に導体層を形成し、該導体層にエッチングを施して該第2の絶縁皮膜に形成した透孔部分において前記第1の絶縁皮膜の表面に形成した配線パターンと電気的に導通する配線パターンを形成した後、第2の絶縁皮膜の表面に感光性レジストを塗布してさらに上層の絶縁皮膜を形成することにより、配線パターン

を多層形成することを特徴とする請求項7記載の半導体装置の製造方法。

【請求項9】 前記パッシベーション膜上に半導体チップの電極部分を除いて、前記絶縁皮膜を形成する際等におけるフォトリソグラフィー工程で使用する紫外線から半導体チップの回路を保護する紫外線遮蔽層を設けた後、所要の絶縁皮膜の形成等の加工を施すことを特徴とする請求項7または8記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はチップサイズの半導体装置に関する。

【0002】

【従来の技術】 半導体チップが搭載された半導体装置はその実装密度を高めるため小型化の要請が強い。この半導体装置の小型化は半導体チップを封入するパッケージの小型化に他ならない。この要請を満たすため、近年はCSPタイプ、すなわちチップ・サイズ・パッケージが出現している。CSPタイプには種々のものがあるが、図1-1にその一例を示す。10は半導体チップ、12はセラミック基板である。セラミック基板12は半導体チップ10とほぼ同サイズに形成されている。セラミック基板10上には配線パターン14が形成され、該配線パターン14はピア16を介してセラミック基板12下面側に所要配置で形成されたランド(外部端子)18に接続されている。半導体チップ10はAuバンプ20とAgPdペースト22を介して配線パターン14に接続され、半導体チップ10とセラミック基板12との間の隙間には樹脂24が封止される。

【0003】

【発明が解決しようとする課題】 上記半導体装置によれば小型化が達成されるが、セラミック基板10を用いたり、Auバンプ20を用いたりしているので高価となる。そこで、本発明は上記問題点を解決すべくなされたものであり、その目的とするところは、簡易な構成で製造が容易となり、安価にできる半導体装置を提供するにある。

【0004】

【課題を解決するための手段】 本発明は上記目的を達成するため次の構成を備える。すなわち、パッシベーション膜が形成された半導体チップ面上に、該半導体チップの電極を露出して第1の絶縁皮膜が形成され、該第1の絶縁皮膜の表面に前記半導体チップの電極に接続して配線パターンが形成され、該配線パターン上に配線パターンの外部接続端子接合部を露出して第2の絶縁皮膜が形成され、前記露出した外部接続端子接合部に外部接続端子が形成されていることを特徴とする。また、前記第1の絶縁皮膜が感光性ポリイミド膜により形成されたものであることを特徴とする。また、前記第2の絶縁皮膜が感光性ソルダーレジスト膜により形成されたものである

ことを特徴とする。また、前記外部接続端子がバンプであることを特徴とする。また、前記半導体チップを複数備え、該複数の半導体チップ上に共通の前記第1の絶縁皮膜が形成され、前記複数の半導体チップの所要の電極同士が前記配線パターンにより接続され、前記配線パターン上に共通の前記第2の絶縁皮膜が形成されていることを特徴とする。また、前記第2の絶縁皮膜に形成された透孔の底面に露出した外部接続端子接合部に、該透孔の底面、内壁面および周縁部を被覆するランドが形成され、該ランドに前記外部接続端子が接続されていることを特徴とする。また、半導体装置の製造方法において、電極を露出してパッシベーション膜が形成された半導体チップ面上に感光性レジストを塗布し、該感光性レジストに露光、現像を施し、前記電極を露出する透孔を形成して第1の絶縁皮膜とした後、前記透孔を含む前記第1の絶縁皮膜の表面にスパッタリング等により導体層を被着形成し、該導体層にエッチングを施し前記透孔部分で前記電極と電気的に導通する配線パターンを形成し、次いで該配線パターンを含む前記第1の絶縁皮膜の表面に感光性レジストを塗布し、該感光性レジストに露光、現像を施し、前記配線パターン上で露出する透孔を形成して第2の絶縁皮膜とし、該第2の絶縁皮膜の透孔位置にはんだボール等の外部接続端子を接続することを特徴とする。また、前記第2の絶縁皮膜の表面に導体層を形成し、該導体層にエッチングを施して該第2の絶縁皮膜に形成した透孔部分において前記第1の絶縁皮膜の表面に形成した配線パターンと電気的に導通する配線パターンを形成した後、第2の絶縁皮膜の表面に感光性レジストを塗布してさらに上層の絶縁皮膜を形成することにより、配線パターンを多層形成することを特徴とする。また、前記パッシベーション膜上に半導体チップの電極部分を除いて、前記絶縁皮膜を形成する際等におけるフォトリソグラフィー工程で使用する紫外線から半導体チップの回路を保護する紫外線遮蔽層を設けた後、所要の絶縁皮膜の形成等の加工を施すことを特徴とする。

【0005】

【作用】本発明に係る半導体装置によれば、インターポーラーとなる第1および第2の絶縁皮膜は薄く形成できるので、薄い半導体装置に形成でき、コストの低減化も図れる。第1、第2の絶縁皮膜は硬度がそれほど高くないので、半導体チップ表面を保護したり、半導体チップと実装基板との間に生じる熱的または機械的応力を緩和する緩衝層としても機能するという効果を奏する。また複数の半導体チップの所要の電極同士を電気的に接続することで信号の遅延防止等の電気的特性の向上が図れ、また第1および第2の絶縁皮膜を共通に形成することで製造も容易となる効果を奏する。また、本発明に係る半導体装置の製造方法によれば、チップサイズの半導体装置を容易に得ることができ、紫外線遮蔽層を設けた場合にはネガティブ型の半導体装置の製造にとくに有効であ

る。

【0006】

【発明の実施の形態】以下、本発明の好適な実施形態を添付図面に基づいて詳細に説明する。図1は半導体装置30の断面図を示す。32は半導体チップ、34はSiO₂等からなるパッシベーション膜、36は半導体チップ32に作り込まれた電極であるAlパッドである。Alパッド36の部位のパッシベーション膜34は形成されず、Alパッド36は露出している。Alパッド36は所要のパターンで半導体チップ32上に多数形成されている。38は第1の絶縁皮膜であり、パッシベーション膜34を覆って形成されている。この第1の絶縁皮膜38は感光性ポリイミド等の感光性レジストを用いて形成できる。なお、場合によっては、半導体チップ32にパッシベーション膜を設げずに、第1の絶縁皮膜38にパッシベーション膜の機能を兼ねさせても良い。

【0007】40は配線パターンであり、Alパッド36と電気的に接続されて、所要のパターンで第1の絶縁皮膜38上に形成されている。配線パターン40は、スパッタリングによりCuまたはAl皮膜を第1の絶縁皮膜38上およびAlパッド36上に形成し、このCuまたはAl皮膜をエッチングして所要パターンに形成される。また銅箔等の金属箔を貼着し、エッチングしてパターンを形成してもよい。42は第2の絶縁皮膜であり、第1の絶縁皮膜38および配線パターン40を覆って形成されている。第2の絶縁皮膜42は保護膜であり、ポリイミド等の種々の材質の感光性ソルダーレジストを用いることができる。

【0008】第2の絶縁皮膜42の各配線パターン40に対応する適宜部位には、例えば第2の絶縁皮膜42上にマトリックス状の配置となるように透孔44が形成されている（透孔44により露出する配線パターン40の部分が外部接続端子接合部40a）。46は外部接続端子であるバンプであり、各透孔44を通じて各外部接続端子接合部40aに電気的に接続して配置され、第2の絶縁皮膜42上に突出して外部接続端子に形成されている。バンプ46は図示のごとくボールバンプに形成することができるが、平坦なランド状その他の形状に形成できる。また、バンプ状に形成するかわりにリードピンを接合して外部接続端子とすることもできる。48は保護膜であり、半導体チップ32、パッシベーション膜34、第1の絶縁皮膜38の側壁を覆って形成され、各層の境界からの湿気の進入等を防止する。保護膜48は第1の絶縁皮膜38と同材質のものを用い、第1の絶縁皮膜38を形成するとき同時に形成するようにすると好適である。なお、保護膜48は必ずしも設けなくともよい。また保護膜に代えて金属等よりなる枠体を固着してもよい。

【0009】本実施形態の半導体装置は上記のように形成されているので、半導体チップ32と同サイズの半導

体装置30として形成できる。またインターポーラとなる第1および第2の絶縁皮膜38、42は薄く形成できるので、薄い半導体装置30に形成できる。第1、第2の絶縁皮膜38、42は硬度がそれほど高くないので、半導体チップ32表面を保護したり、半導体チップと実装基板との間に生じる応力を緩和する緩衝層としても機能する。なお、半導体チップ32の電極が形成された面と反対側の面は露出させて放熱性を高めるようにすると好適である。さらに放熱性を向上させるために、ヒートシンクまたはヒートスプレッダーを固定してもよい。

【0010】図2は上記半導体装置30の製造工程の一例を示す。まず半導体チップ32が多数作り込まれたウェハー(図示せず)表面上に第1の絶縁皮膜38を形成するための感光性レジスト(感光性ポリイミド)を塗布する。次いで、感光性レジストの仮焼をすると共に、Alパッド36の部分の感光性レジストを取り除く為に、公知のフォトリソグラフィー工程により、露光、現像を行い、焼成して第1の絶縁皮膜38を形成する。次に銅のスパッタリングを行い、第1の絶縁皮膜38上およびAlパッド36上に銅皮膜を形成する(銅皮膜は配線パターンを形成するための導体層として設けるもので、アルミニウム皮膜等を形成してもよい)。銅皮膜上にさらに銅めっきを施すことによって導通を良好にさせることができる。なお銅皮膜は蒸着等その他の方法によって形成してもよい。

【0011】銅皮膜上に感光性レジストを塗布し、露光、現像、焼成してレジストパターンを形成し、このレジストパターンをマスクとしてエッチングして配線パターン40を形成する。その後レジストパターンは剥離する。次に第2の絶縁皮膜42を形成すべく、第1の絶縁皮膜38上および配線パターン40上に感光性レジスト

(感光性ソルダーレジスト)を塗布し、露光、現像して透孔44を形成する。この透孔44内にはんだボール(バンプ46)を配置し、リフローしてはんだボールを配線パターン40上に固定する。なお、バンプはNiめっき、Auめっきを施して、Ni-Auバンプを形成することにより設けてもよい。上記のように処理したウェハーをスライスして個片の半導体装置30を形成する。必要に応じて半導体装置30の側壁にレジストを塗布し、乾燥させて保護膜48を形成する。上記のようにウェハー上に同時に作り込むことにより、一時に多数の半導体装置30を形成することができ、コストの低減化が図れる。なお、ウェハーをスライスして個片の半導体チップ32に形成した後、上記と同様の工程で半導体装置30に完成させてもよい。

【0012】本実施形態では第1の絶縁皮膜38および第2の絶縁皮膜42を形成するため感光性ポリイミド、感光性ソルダーレジストを使用したがこれら第1の絶縁皮膜38、第2の絶縁皮膜42としては種々の素材が使用でき、ポリイミド系樹脂の他、エポキシ系樹脂、シリ

コーン系樹脂等を使用することができ、各絶縁皮膜で適宜樹脂を選択して使用することができる。シリコーン樹脂の場合はゴム状の弾性を有するので、特に半導体チップと実装基板との間に生じる応力を緩和することができる。

【0013】図3は半導体装置30の第2の実施形態を示す。本実施形態では、複数の半導体チップ32をヒートスプレッダ等の共通の基板47上に搭載し、該複数の半導体チップ32上に、前記と同様にして共通の第1の絶縁皮膜38を形成し、該絶縁皮膜38上に各半導体チップ32に対応する各配線パターン40と、隣接する半導体チップ32を電気的に接続するための電極36同士間を接続する配線パターン45とを前記実施形態と同様にして形成し、その上に前記と同様にして共通の第2の絶縁皮膜42を形成し、各配線パターン40の外部接続端子接合部40aにバンプ46を形成するようにしたものである。すなわち複数の半導体チップ32を用いた1つの半導体装置30に形成したものである。複数の半導体チップ32としては、例えばMPUとキャッシュメモリ、複数のメモリ同士などを連接できる。

【0014】本実施形態では、複数の半導体チップを共通の基板上に形成し、接続パッド間を電気的に接続したので、配線を短くでき、信号の遅延防止等の電気的特性に優れた半導体装置(マルチチップモジュール)を提供し得る。また第1および第2の絶縁皮膜を共通にして形成することで製造も容易となる。なお複数の半導体チップ32の側面を共通の枠体(図示せず)で保持すれば、半導体チップを共通の基板47上にのせる必要はない。また複数の半導体チップを共通のウェハー上に形成することもできる。本実施形態の半導体装置30も上記と同様の工程で製造できる。

【0015】図4は上記の半導体装置の製造工程において、透孔44内にはんだボール(バンプ46)を配置して配線パターン40上に固定する際に、透孔44の内面および透孔44の周縁にあらかじめランド50を設けてからはんだボールを固定した例を示す。ランド50を形成するには、透孔44を有する第2の絶縁皮膜42を形成した後、絶縁皮膜42の表面に銅等をスパッタリングして金属層を形成し、フォトリソグラフィ工程により透孔44の内部と周縁部のみ金属層を残すようにエッチングすればよい。ランド50は底面で配線パターン40の外部端子接合部40aに接続し透孔44の内壁面および周縁部を被覆していることにより、透孔44にランド50を設けない場合に比較してはんだボール(バンプ46)は透孔44の内面全体と接合し確実に取り付けられる。また、はんだボールと配線パターン40との電気的導通が確実になる。なお、金属層をエッチングしてランド50を形成した後、ランド50の表面に保護めっきとしてニッケルめっき、金めっきを施すとさらに確実にバンプ46を接合することができる。

【0016】図5は配線パターン40を多層形成した半導体装置の例を示す。この実施形態の半導体装置は第1の絶縁皮膜38と第2の絶縁皮膜42に加えて、第3の絶縁皮膜52と第4の絶縁皮膜54を有する。第2の絶縁皮膜42の表面には第1の絶縁皮膜38の表面に設けた配線パターン40と電気的に導通する配線パターン40bが設けられ、第3の絶縁皮膜52の表面には配線パターン40bと電気的に導通する配線パターン40cが設けられている。第4の絶縁皮膜54には配線パターン40cに電気的に導通してランド50が取り付けられ、ランド50にパンプ46が接合されている。

【0017】各層間の配線パターン40を電気的に接続する方法としては、前述した実施形態で第1の絶縁皮膜38と第2の絶縁皮膜42を形成して配線パターン40とランド50とを接続する方法がそのまま適用できる。すなわち、絶縁皮膜を形成するためポリイミドあるいはエポキシ系等の感光性レジストを塗布し、露光、現像することにより層間で配線パターン40を接続する部位に透孔を形成した後、絶縁皮膜の表面に銅等の導体金属をスパッタリングあるいは蒸着により形成し、形成された導体層をエッチングすることにより下層の配線パターン40と電気的に接続しつつ配線パターンを形成する。次層についても、同様に当該絶縁皮膜上に感光性レジストを塗布し、表面を平坦にし、露光、現像して透孔を形成し、絶縁皮膜上に導体層を形成し、エッチングして当該層上に配線パターンを形成する。

【0018】このように、絶縁皮膜を介して電気的導通をとりながら配線パターン40を多層に形成することができる。図5に示す実施形態では最外層である第4の絶縁皮膜54にランド50を形成してはんだボール(パンプ46)を接合している。このように配線パターン40を多層形成することにより、配線パターン40を形成する自由度が大きくなる。図6は配線パターン40を多層形成した場合の応用例として、コンデンサ56あるいは抵抗58といった回路用素子を組み込んだ例を示す。配線パターン40を多層形成した場合はこのように回路用素子を組み込むことが容易になり、より多用途の半導体装置として提供することが可能になる。コンデンサや抵抗は、スパッタリング等の薄膜工程によりつくり込むことができる。

【0019】上述した各半導体装置の製造工程においては絶縁皮膜を形成するために感光性レジストを使用し、フォトリソグラフィー工程により絶縁皮膜に透孔44を形成したり絶縁皮膜の表面に配線パターンを形成したりする。このフォトリソグラフィー工程では露光に紫外線が使用されることから、実際の半導体装置の製造工程においては紫外線の露光によって半導体素子に形成された回路が損傷されないようにする必要がある。なお、この紫外線による露光が半導体チップに悪影響を与えるのはネガティブ型の感光性レジストを使用する場合である。

ネガティブ型の感光性レジストでは露光した部位が現像時に溶解しない部位となるから、露光する際には後工程で溶解除去する部位をマスクし、最終的に残す部位を露光する。たとえば、図7に示すようにパッシベーション膜34上に第1の絶縁皮膜38を形成する場合は、感光性レジストを塗布した後、Alパッド36をマスクしてこれ以外の範囲を露光する。このため、マスクしたAlパッド36以外の範囲に紫外線が照射され、感光性レジストとパッシベーション膜34を通して半導体チップ32の表面まで紫外線が透過し、これによって半導体チップ32が損傷される場合がある。

【0020】なお、ポジティブ型の感光性レジストは露光した部位が溶解除去される。したがって、上記の第1の絶縁皮膜38でAlパッド36の部分に透孔を形成する例では、感光性レジストを塗布した後、Alパッド36以外の範囲をマスクしてAlパッド36部分にのみ紫外線を照射する。Alパッド36の部分には回路が形成されていないから、この紫外線照射によって半導体チップ32の回路が損傷される心配はない。なお、第1の絶縁皮膜38や第2の絶縁皮膜42の表面に配線パターン40を形成するためのフォトリソグラフィー工程においても、ポジティブ型の感光性レジストを使用する場合は、かならず配線パターン40を形成するための銅層等の金属層が下地にある部分に紫外線照射を行うから、半導体チップ32の回路が損傷される心配はない。

【0021】上記のネガティブ型の感光性レジストを使用するフォトリソグラフィー工程で半導体チップ32が損傷を受けることを防止する方法としては、図8に示すようにパッシベーション膜34の表面にフォトリソグラフィー工程で使用する紫外線を遮蔽する紫外線遮蔽層60を設ける方法が有効である。紫外線遮蔽層60は半導体チップ32に形成された回路を紫外線から保護するもので、図8に示すようにAlパッド36を除く範囲について第1の絶縁皮膜38を形成する前に設ける。紫外線遮蔽層60はCr金属層、Cu金属層、あるいはCr金属層-Ni金属層-Cu金属層等の複数の金属層によって形成する。Cr金属層を用いる場合は0.1μm程度の厚さで十分紫外線遮蔽の機能がある。紫外線遮蔽層60を形成する場合は、まず半導体チップ32のパッシベーション膜34上にスパッタリングあるいは蒸着等によってCr金属層等を形成し、その表面にAlパッド36部分のみ露出させたエレジストパターンを形成し、レジストパターンをマスクとしてCr金属層等をエッチングすることによって形成する。

【0022】上記の紫外線遮蔽層60を設けておけば、ネガティブ型の感光性レジストを使用して絶縁皮膜を形成する場合であってもフォトリソグラフィー工程で半導体チップ32が紫外線によって損傷を受ける心配がなく、任意のパターンで紫外線照射することができる。図9は、第1の絶縁皮膜38を形成するためネガティブ型

の感光性レジストを塗布して露光している状態を示す。感光性レジストの下層に設けた紫外線遮蔽層60によって紫外線が遮蔽され半導体チップ32の回路を保護して露光することができる。第1の絶縁皮膜38の表面に配線パターン40を設けた後、さらに第2の絶縁皮膜42を形成する場合の露光についても同様である。図10は図4に示す半導体装置の形成例で紫外線遮蔽層60を設けて得られた半導体装置を示している。図4に示す実施形態とはパッシベーション膜34上に紫外線遮蔽層60を設けた点のみ相違している。配線パターン40を多層形成する半導体装置の場合も同様に紫外線遮蔽層60を設けて形成することができる。なお、紫外線遮蔽層60を設けた場合でももちろん、ネガティブ型の感光性レジストに限らずポジティブ型の感光性レジストを使用してかまわない。

【0023】

【発明の効果】本発明に係る半導体装置によれば、上述したように、インターポーラーとなる第1および第2の絶縁皮膜は薄く形成できるので、薄い半導体装置に形成でき、コストの低減化も図れる。第1、第2の絶縁皮膜は硬度がそれほど高くないので、半導体チップ表面を保護したり、半導体チップと実装基板との間に生じる応力を緩和する緩衝層としても機能する。また複数の半導体チップの所要の電極を電気的に接続することで信号の遅延防止等の電気的特性の向上が図れ、また第1および第2の絶縁皮膜を共通に形成することで製造も容易となる効果を奏する。また、本発明に係る半導体装置の製造方法によれば、チップサイズの半導体装置を容易にかつ確実に得ることができ、配線パターンを多層形成することによって配線パターンを形成する自由度を増大させることができ、紫外線遮蔽層を設けたものではとくにネガティブ型の感光性レジストを使用して製造する場合に好適である等の著効を奏する。

【図面の簡単な説明】

【図1】半導体装置の第1の実施形態を示した断面図である。

* 【図2】半導体装置の製造工程図である。

【図3】半導体装置の第2の実施形態を示した断面図である。

【図4】バンプ接合部にランドを形成した半導体装置の実施形態を示した断面図である。

【図5】配線パターンを多層形成した半導体装置の実施形態を示した断面図である。

【図6】回路用素子を組み込んだ半導体装置の実施形態を示した断面図である。

10 【図7】感光性レジストを露光する様子を示した断面図である。

【図8】パッシベーション膜上に紫外線遮蔽層を設けた断面図である。

【図9】第1の絶縁皮膜を形成する際の露光の様子を示した断面図である。

【図10】紫外線遮蔽層を設けた半導体装置の実施形態を示した断面図である。

【図11】従来の半導体装置の一例を示す断面図である。

20 【符号の説明】

30 半導体装置

32 半導体チップ

34 パッシベーション膜

36 Alパッド

38 第1の絶縁皮膜

40、40b、40c 配線パターン

40a 外部接続端子接合部

42 第2の絶縁皮膜

44 透孔

48 保護膜

50 ランド

52 第3の絶縁皮膜

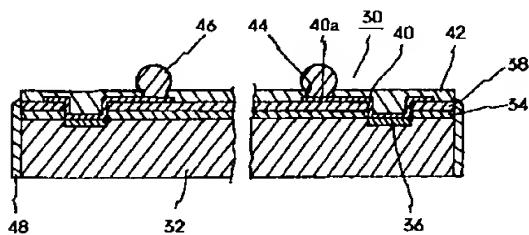
54 第4の絶縁皮膜

56 コンデンサー

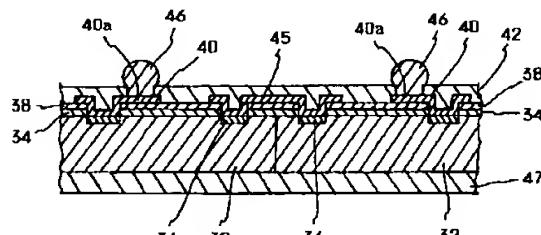
58 抵抗

60 紫外線遮蔽層

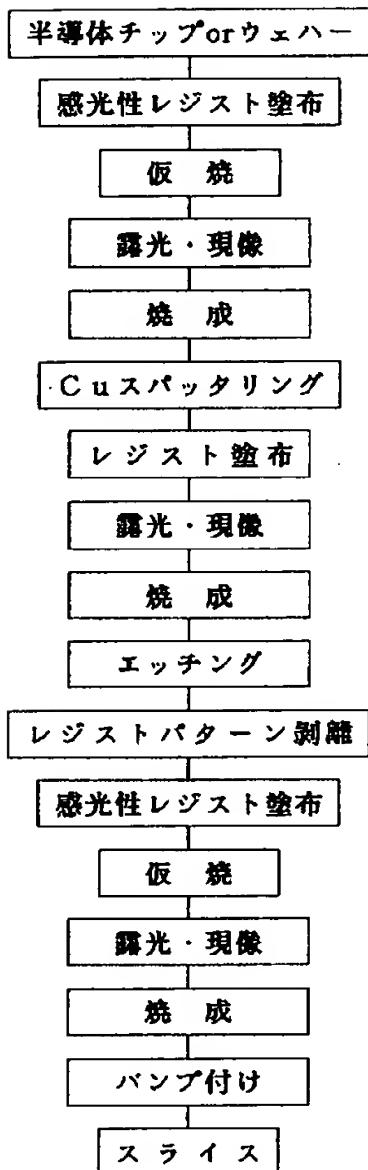
【図1】



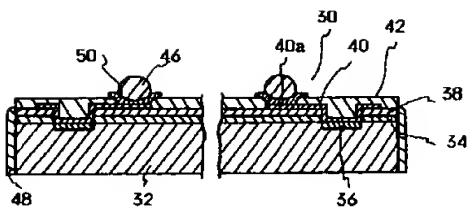
【図3】



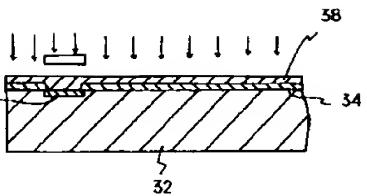
【図2】



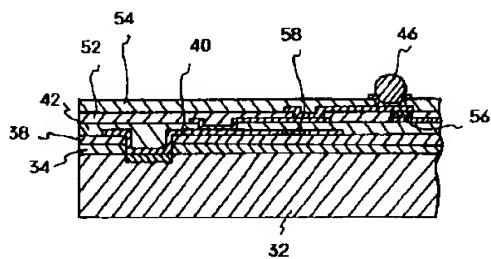
【図4】



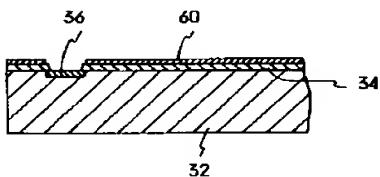
【図7】



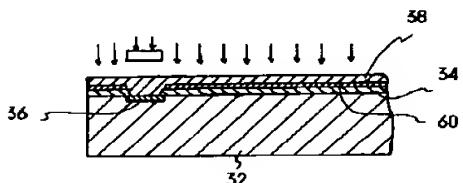
【図6】



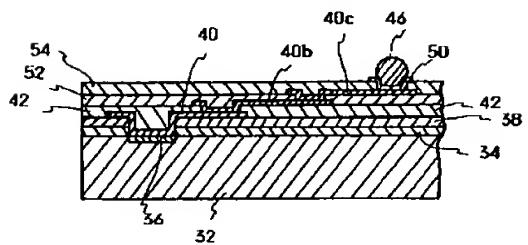
【図8】



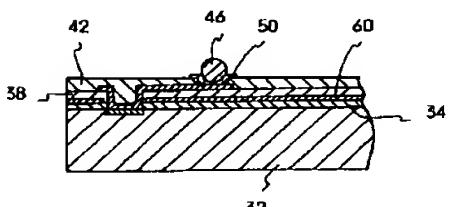
【図9】



【図5】



【図10】



【図11】

